

JP 62-122275

2/9/1

DIALOG(R) File 347:JAPIO

(c) 2000 JPO & JAPIO. All rts. reserv.

02205375 **Image available**

MIS TYPE SEMICONDUCTOR DEVICE

PUB. NO.: 62 -122275 [JP 62122275 A]
PUBLISHED: June 03, 1987 (19870603)
INVENTOR(s): YAMAMOTO HIDEKAZU
ASAI SOTOHISA
IWADE SHUHEI
YUYA NAOKI
APPLICANT(s): MITSUBISHI ELECTRIC CORP [000601] (A Japanese Company or Corporation), JP (Japan)
APPL. NO.: 60-262749 [JP 85262749]
FILED: November 22, 1985 (19851122)
INTL CLASS: [4] H01L-029/78; H01L-027/12
JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components)
JAPIO KEYWORD: R096 (ELECTRONIC MATERIALS -- Glass Conductors); R097 (ELECTRONIC MATERIALS -- Metal Oxide Semiconductors, MOS); R098 (ELECTRONIC MATERIALS -- Charge Transfer Elements, CCD & BBD)
JOURNAL: Section: E, Section No. 554, Vol. 11, No. 341, Pg. 141, November 07, 1987 (19871107)

ABSTRACT

PURPOSE: To eliminate the effect of an interface level and to obtain a highly reliable semiconductor device, by changing the composition of amorphous semiconductors, and providing the minimum value of a forbidden band at a part inner than the interface between an insulating film and the semiconductor.

CONSTITUTION: On an insulating substrate 5, a gate electrode 6 is formed. A gate insulating film 1, amorphous semiconductors, e.g., amorphous silicon carbide layers 2 and 4, and an amorphous silicon layer 3 are formed in the same film growing tank. Thereafter, source and drain electrodes 7 and 8 are formed. By forming the amorphous semiconductors having the different forbidden bands at the interface between the insulating film and the semiconductors, a potential well is formed. Since carrier charge is present in this well, the effect of the interface level is not received. In the MIS type FET having such a structure, a current path is formed as shown by an arrow, and the effect of the interface level is not exerted, too.

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭62-122275

⑬ Int. Cl.⁴

H 01 L 29/78
27/12

識別記号

庁内整理番号

8422-5F
7514-5F

⑭ 公開 昭和62年(1987)6月3日

審査請求 未請求 発明の数 1 (全4頁)

⑯ 発明の名称 M I S型半導体装置

⑰ 特 願 昭60-262749

⑱ 出 願 昭60(1985)11月22日

⑲ 発 明 者 山 本 秀 和 伊丹市瑞原4丁目1番地 三菱電機株式会社エル・エス・
アイ研究所内
⑲ 発 明 者 浅 井 外 壽 伊丹市瑞原4丁目1番地 三菱電機株式会社エル・エス・
アイ研究所内
⑲ 発 明 者 岩 出 秀 平 伊丹市瑞原4丁目1番地 三菱電機株式会社エル・エス・
アイ研究所内
⑲ 発 明 者 油 谷 直 毅 伊丹市瑞原4丁目1番地 三菱電機株式会社エル・エス・
アイ研究所内
⑳ 出 願 人 三菱電機株式会社 東京都千代田区丸の内2丁目2番3号
㉑ 代 理 人 弁理士 大岩 増雄 外2名

明 細 書

1. 発明の名称

M I S型半導体装置

2. 特許請求の範囲

(1) 非晶質半導体とゲート絶縁膜とゲート電極からなるM I S型半導体装置において、前記非晶質半導体の組成を変化させ絶縁膜-半導体界面より内部に禁制帯幅の最小値をもたせたことを特徴とするM I S型半導体装置。

(2) 非晶質半導体が3層からなり、中央層の禁制帯幅が最小であることを特徴とする特許請求の範囲図(1)項記載のM I S型半導体装置。

3. 発明の詳細な説明

(産業上の利用分野)

この発明は、固体撮像素子のスイッチング素子や、液晶ディスプレイの駆動素子に用いられる非晶質半導体を用いたM I S型半導体装置に関するものである。

(従来の技術)

第3図はエレクトロニクス レターズ(Electronics Letters)

vol. 18 (1982) P 599に示された従来の非晶質半導体を用いたM I S型F E Tの断面図であり、図において、1はゲート絶縁膜、3は非晶質シリコン、5は絶縁基板、6はチャネルを制御するゲート電極、7、8は電流を取り出すソース、ドレイン電極である。

次に動作について説明する。ドレイン電極8から、ソース電極7に連する電流経路を矢印で示してある。電流は非晶質シリコン3中を一度縦方向に通り、ゲート絶縁膜1の界面に流す。その後、電流は絶縁膜-半導体の界面に形成されたチャネルを通りソース部に達し、再び縦方向に流れ、ソース電極7より外部に取り出される。

(発明が解決しようとする問題点)

従来のM I S型半導体装置は以上のように構成され、動作している中で、界面単位の影響を強く受け、ドレイン電流が長時間にわたり減少型のリフトを示す等の問題点があった。

この発明は、上記のような問題点を解消するためになされたもので、チャネル領域を絶縁膜-半

導体界面から遠ざけ、界面単位の影響をなくすることができ、非晶質半導体を用いたMIS型半導体装置を得ることを目的とする。

〔問題点を解決するための手段〕

この発明に係る非晶質半導体を用いたMIS型半導体装置は、非晶質半導体の組成を窒化させ、絶縁膜一半導体界面より内部に禁制帯幅の最小値をもたせたものである。

〔作用〕

この発明においては、非晶質半導体の禁制帯幅の変化により、絶縁膜一半導体界面から離れたところにポテンシャルの井戸が形成される。キャリア電荷は、この部分に存在するため、界面単位の影響を受けないようにする。

〔実施例〕

第1図はこの発明の一実施例である非晶質半導体を用いたMIS型FETの断面図であり、第2図はこの発明における特徴的なバンド図である。

第1図において、1はゲート絶縁膜、2, 4は非晶質半導体、例えば非晶質炭化シリコンであり、

3は非晶質シリコンである。絶縁基板5上にゲート電極6を形成し、ゲート絶縁膜1、非晶質半導体すなわち非晶質炭化シリコン2, 4および非晶質シリコン3を同一の成膜槽内で堆積した後、ソース、ドレイン電極7, 8を形成する。

第2図に示したように、絶縁膜一半導体界面に禁制帯幅の異なるアモルファス半導体を形成することにより、ポテンシャルの井戸が形成される。するとキャリア電荷は、この井戸に存在するため、界面単位の影響を受けなくなる。

このような構造をもつMIS型FETにおいては、電流通路は第1図の矢印のごとくなり、やはり界面単位の影響を受けなくなる。なお、第2図で、E_cは伝導帯、E_vは価電子帯、E_gはフェルミレベルを示す。

なお、上記実施例では、非晶質半導体として非晶質炭化シリコンおよび非晶質シリコンを用いたものを示したが、禁制帯幅の大きな半導体に非晶質窒化シリコン、禁制帯幅の小さな半導体に非晶質シリコンゲルマニウム、非晶質シリコンスズを

用いてもよい。さらに禁制帯幅の変化は、数種のものではなく、連続的なものでもよい。

また上記実施例ではゲート電極6とソース電極7、ドレイン電極8が絶縁膜一半導体界面をはたひスクラ電極構造のMIS型FETの場合について説明したが、ゲート電極6とソース電極7、ドレイン電極8が、同じ面にあるコプレーナ電極構造のMIS型FETやCCD等の他のMIS型半導体装置であつてもよく、上記実施例と同様の効果を得る。

〔発明の効果〕

この発明は以上説明したとおり、MIS構造を禁制帯幅の異なる非晶質半導体で形成し禁制帯幅の最小値が絶縁膜一半導体界面より内部にもたせたので、界面単位の影響をなくことができ、信頼性の高い半導体装置が得られる効果がある。

4. 図面の簡単な説明

第1図はこの発明の一実施例によるMIS型FETを示す断面図、第2図はこの発明における特徴的なバンド図、第3図は従来のアモルファス半

導体MIS型FETを示す断面図である。

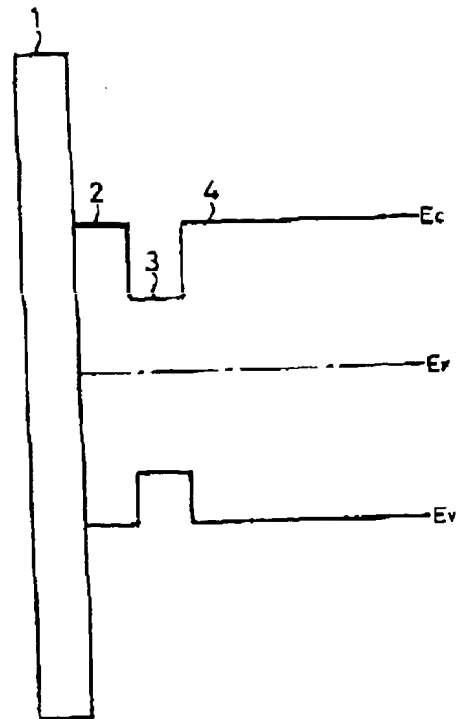
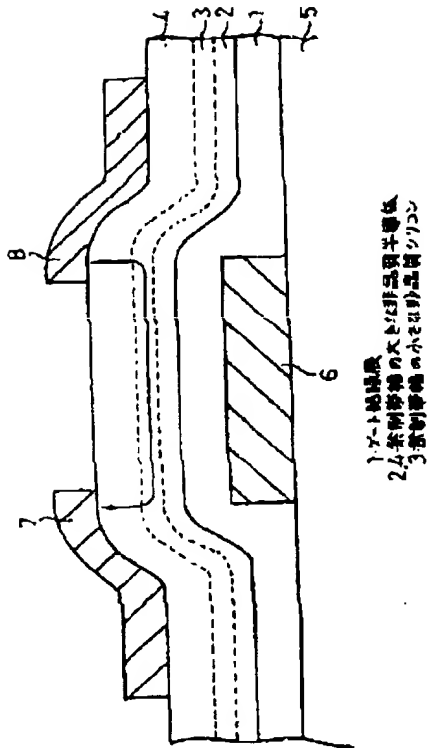
図において、1はゲート絶縁膜、2, 4は禁制帯幅の大きな非晶質半導体、3は禁制帯幅の小さな非晶質シリコンである。

なお、各図中の同一符号は同一または相当部分を示す。

代理人 大 橋 増 雄 (外2名)

第 2 図

第 1 図



手 続 補 正 書 (日 発)
6 1 7 2 2
昭和 年 月 日

特許庁長官殿

適

1. 事件の表示 特願昭 60-282748号

2. 発明の名称 M I S 型半導体装置

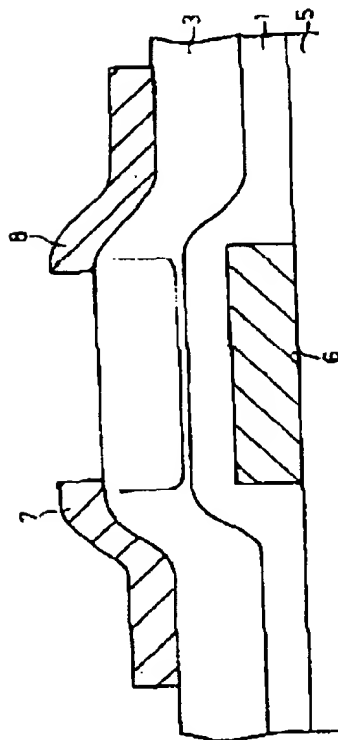
3. 補正をする者

事件との関係 特許出願人
住 所 東京都千代田区丸の内二丁目2番3号
名 称 (601)三菱電機株式会社
代表者 志 枝 守 成

4. 代 理 人

住 所 東京都千代田区丸の内二丁目2番3号
三菱電機株式会社内
氏 名 (7375) 弁護士 大 巻 増 雄
(登録先03(213)3421(特許))

第 3 図



5. 補正の対価

明細書の発明の詳細な説明の欄

6. 補正の内容

- (1) 明細書第1頁20行の「レータズ」を、「
レターズ」と補正する。
- (2) 同じく第2頁10行の「ゲート絶縁膜」の
界面」を、「ゲート絶縁膜」との界面」と補正す
る。
- (3) 同じく第3頁14行の「受けないようにす
る。」を、「受けないようになる。」と補正す
る。
- (4) 同じく第5頁14行の「最少値が」を、「
最少値を」と補正する。

以 上